

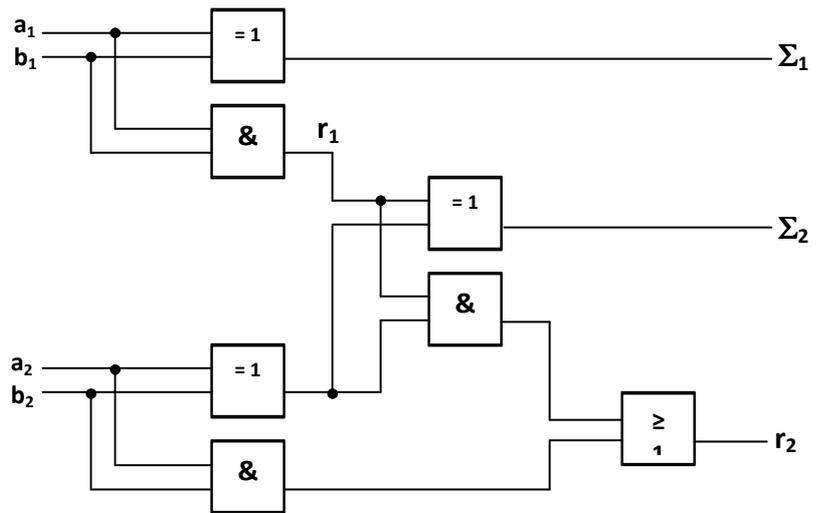
2. Schéma de l'additionneur de 2 nombres de 2 bits

La somme Σ_1 et la retenue r_1 sont issues d'un demi-additionneur.

Σ_2 dépend de la retenue précédente, donc de r_1 .
 r_2 est la retenue de la somme Σ_2 .

Donc, en plus du premier demi-additionneur relatif à Σ_1 , le montage nécessite deux demi-additionneurs et un porte OU, soit au total **3 demi-additionneurs et 1 porte OU pour un additionneur complet 2 bits**.

- Réaliser le circuit logique de l'additionneur complet de 2 nombres de 2 bits représenté ci-contre :
- Réaliser les additions : 10 + 10 ; 11 + 11
- Vérifier en posant l'addition.



.....

.....

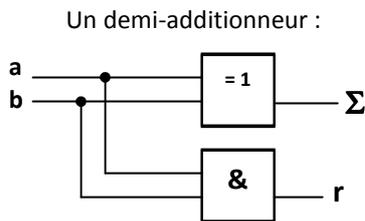
.....

.....

.....

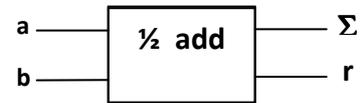
.....

Remarque :



→

Peut se représenter par :

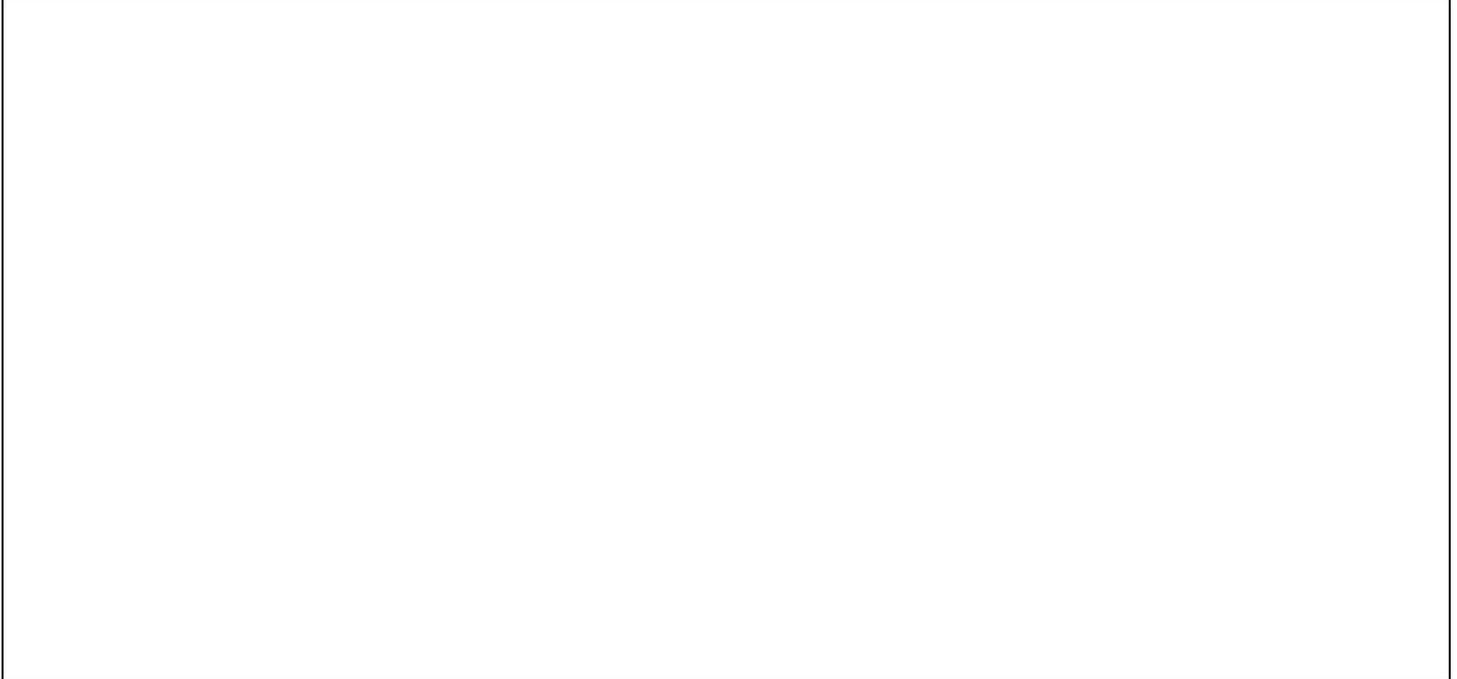


Cela permet de simplifier les schémas des additionneurs binaires. Représenter ci-dessous le schéma simplifié de l'additionneur 2 bits.

III. Additionneur complet de 2 nombres de 3 bits et 4 bits

1. Additionneur complet de 2 nombres de 3 bits

- Dessiner le schéma du circuit réalisant l'addition de $A = a_3 a_2 a_1$ et de $B = b_3 b_2 b_1$.
- Réaliser le circuit pour effectuer les additions suivantes : **100 + 110 ; 111 + 111 ; 101 + 110 ; 101 + 011.**
- Vérifier le résultat donné par le circuit en posant l'addition.



2. Additionneur complet de 2 nombres de 4 bits

- Dessiner le schéma du circuit réalisant l'addition de $A = a_4 a_3 a_2 a_1$ et de $B = b_4 b_3 b_2 b_1$.
- Réaliser le circuit pour effectuer les additions suivantes : **1010 + 1110 ; 1011 + 1011 ; 1001 + 1111 ; 0011 + 1011.**
- Vérifier le résultat donné par le circuit en posant l'addition.

